

日本国特許庁
JAPAN PATENT OFFICE

10830-091001

#^{RS}
4

3-17-03

J1017 U.S. PTO

10/081057

02/21/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2001年 2月21日

出願番号

Application Number: 特願2001-044660

出願人

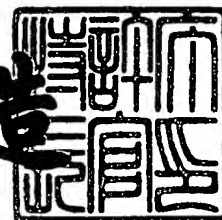
Applicant(s): 安藤電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年12月14日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3108632

【書類名】 特許願

【整理番号】 S01-1-20

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 1/00

【発明者】

【住所又は居所】 東京都大田区蒲田4丁目19番7号 安藤電気株式会社
内

【氏名】 吉田 浩和

【特許出願人】

【識別番号】 000117744

【氏名又は名称】 安藤電気株式会社

【代理人】

【識別番号】 100099195

【弁理士】

【氏名又は名称】 宮越 典明

【選任した代理人】

【識別番号】 100116182

【弁理士】

【氏名又は名称】 内藤 照雄

【手数料の表示】

【予納台帳番号】 030889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909752

【包括委任状番号】 0014291

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 擬似ランダムパターン送信装置

【特許請求の範囲】

【請求項 1】 ソフトウェア処理手段と、

擬似ランダムパターンを記憶する擬似ランダムパターン記憶手段と、

デジタル信号の連続したフレームのペイロード部に、前記擬似ランダムパターンを順次挿入して構成した複数のパケットを記憶する送信メモリと、

指定された前記デジタル信号の送信レートに応じて計算された挿入アイドルバイトを計算するアイドル送出処理部と、

デジタル回線に対して、前記送信メモリからの複数のパケットの送信と、前記アイドル送出部からのアイドルバイトとの送信を交互に実行する送信制御手段と

を有することを特徴とする擬似ランダムパターン送信装置。

【請求項 2】 前記デジタル信号は、IP パケットであることを特徴とする請求項 1 に記載の擬似ランダムパターン送信装置。

【請求項 3】 前記デジタル信号は、PPP フレームであることを特徴とする請求項 1 に記載の擬似ランダムパターン送信装置。

【請求項 4】 前記 PPP フレームを構成する IP パケット全体をペイロード部として扱うことを特徴とする請求項 3 に記載の擬似ランダムパターン送信装置。

【請求項 5】 前記デジタル回線は、SDH 回線であることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の擬似ランダムパターン送信装置。

【請求項 6】 前記擬似ランダムパターン中に予めエラーの設定が可能であることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の擬似ランダムパターン送信装置。

【請求項 7】 前記擬似ランダムパターン記憶手段に記憶される、擬似ランダムパターンが、 $2^n - 1$ ビットで構成されるデータであって、任意に変更可能であることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の擬似ランダムパターン送信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、インターネット通信で使用されるIPネットワーク及びIPネットワークのバックボーンとなるSONET/SDH網におけるPPPoverSONET/SDH（略称POS）のPPPフレームおよびIPパケットのペイロード部に擬似ランダムパターンを挿入し、ペイロード部の擬似ランダムパターンをPNパターンの発生規則に従って連続させて複数のPPPフレームまたはIPパケットを、任意の回線使用率で発生させる装置に関するものである。

【0002】

【従来の技術】

従来の擬似ランダムパターン発生装置では、ソフトウェアによって擬似ランダムパターンをメモリ等に一次的に記憶し、パケット作成部においてそのメモリ等の内容をペイロード部に反映して、フラグ及びFCSを付与した後、パケット化を行い、回線に送出していた。

【0003】

この際、メモリ上に記憶するパターンは1パケット分の長さであり、送信の度にソフトウェアによってメモリに記憶させていた。

このため、低速のインタフェースでは送信トラヒックを確保することができるが、POS等の高速インタフェースでは、送信トラヒックを確保することが難しいという問題があった。

【0004】

【発明が解決しようとする課題】

しかし、ソフトウェアによるメモリの書込みの問題をなくすために、送信を行う以前に擬似ランダムパターンのPNパターンが周回する分を、予めメモリに記憶させておき、パケット処理部がある一定の長さのパターンを順にパケット化して送出する方式も考えられる。

このような方式では、高速インタフェースの送信トラヒックを確保することができるが、パケット処理部がメモリ内容を順に参照する必要があるため、アドレ

ス管理を行わなければならない、ハードウェア規模が膨大になり、コストの高いものになるという問題があった。

【 0 0 0 5 】

本発明の目的は、ハードウェアによる擬似ランダム発生回路を使用せず、ソフトウェア処理により擬似ランダムパターンをPPPフレームまたはIPパケットのペイロード部に挿入して送信できる擬似ランダムパターン送信装置を提供することである。

【 0 0 0 6 】

【課題を解決するための手段】

上記課題を解決するために、ソフトウェア処理手段（CPUによるソフトウェア処理部）1と、擬似ランダムパターンを記憶する擬似ランダムパターン記憶手段（一次メモリ）2と、デジタル信号の連続したフレームのペイロード部に、前記擬似ランダムパターンを順次挿入して構成した複数のパケットを記憶する送信メモリ3と、指定された前記デジタル信号の送信レートに応じて計算された挿入アイドルバイトを計算するアイドル送出处理部4と、デジタル回線7に対して、前記送信メモリからの複数のパケットの送信と、前記アイドル送出部からのアイドルバイトとの送信を交互に実行する送信制御手段（SDH送信部）6とで、擬似ランダムパターン送信装置を構成する。

この構成で、ハードウェアによる擬似ランダム発生回路を使用せず、ソフトウェア処理により擬似ランダムパターンをPPPフレームまたはIPパケットのペイロード部に挿入して送信できる。（請求項1）

【 0 0 0 7 】

また、前記デジタル信号を、IPパケットとすることによって、IPパケットのペイロード部に擬似ランダムパターンを挿入してデジタル回線に送信することができる。（請求項2）

また、前記デジタル信号を、PPPフレームとすることによって、PPPフレームのペイロード部に擬似ランダムパターンを挿入してデジタル回線に送信することができる。（請求項3）

また、前記デジタル信号を、PPPフレームとした際に、PPPフレームに含

まれるIPパケット全体をペイロード部として扱い、該IPパケット部に擬似ランダムパターンを挿入してデジタル回線に送信することもできる。(請求項4)

【0008】

また、前記デジタル回線は、SDH回線(SONET/SDH網におけるPPPoVerSONET/SDH(略称POS)のPPPフレームおよびIPパケット)とすることもできる。(請求項5)

【0009】

また、前記擬似ランダムパターン中に予めエラーの設定が可能な構成とすることにより、予め設定されたエラーをペイロード部に挿入した信号を送信することによって、受信側で、当該エラーの検出の有無を検査することもできる。(請求項6)

【0010】

また、前記擬似ランダムパターン記憶手段に記憶される、擬似ランダムパターンが、 $2^n - 1$ ビットで構成されるデータであって、任意に変更可能な構成とすることによって、 n として例えば9, 15, 23等のものを用いることができる。(請求項7)

【0011】

【発明の実施の形態】

本発明の基礎になるインターネット通信で使用される、SONET/SDH網におけるPPPoVerSONET/SDH(略称POS)のPPPフレームについて図1を使用して説明する。

図1において、SONET/SDHフレームは、3バイトからなる、SOH(Section Overhead), LOH(Line Overhead), 1バイトのPOH(Path Overhead)及び86バイトのPayload部で構成され、該Payload部は、IPパケットを含む複数のPPPフレームからなっている。

【0012】

また、前記PPPフレームは、図2(a)に示す如き、フラグ(7E), アドレス(FF), コントロール(03), プロトコル(0021)PPPペイロード, FCS(CRC-32/16)及びフラグ(7E)により構成され、最大で1508バイトである。

そして、PPPフレームにおけるペイロード部は0～1500バイトである。

【0013】

また、IPパケットは、図2(b)に示す如き、バージョン番号(Ver)，ヘッダ長(32ビット単位)(HLEN)，サービス種類(Type of Service)，全体長(バイト単位)(Total Length)，パケット識別子(Indetification)，フラグメント制御用(Frags)，フラグメントオフセット(Fragment Offset)，送信元アドレス(Source Address)，送信先アドレス(Destination Address)，オプション(Option)及びペイロード部(Payload)からなっている。

【0014】

また、本発明は、図3に記載の構成を有している。

図3における、1はCPUによるソフトウェア処理部、2は一次メモリ、3は送信メモリ、4はアイドル送信処理部、5はメモリ送出処理部、6はSDH送信部、7はSDH回線である。

また、CPUによるソフトウェア処理部1は、ヒューマンインタフェース(HMI)からの擬似ランダムパターンの指示に応じて擬似ランダムパターンの作成処理部1-1で実行して、前記一次メモリ2に記憶する。

【0015】

また、CPUによるソフトウェア処理部1は、ヒューマンインタフェース(HMI)からのIPペイロード長の指定、IPヘッダの作成、アイドルバイト長の指定に応じてIPパケットの作成処理部1-2で実行して、前記送信メモリ3に記憶する。

また、CPUによるソフトウェア処理部1は、ヒューマンインタフェース(HMI)からの送信レートの指定に応じて、挿入アイドルバイト数計算部1-3で挿入アイドルバイト数を計算して、前記アイドル送出処理部4に出力する。

【0016】

また、前記一次メモリに記憶された擬似ランダムパターンは、前記送信メモリ5に送られて、PPPフレーム及びIPパケットのペイロード部に擬似ランダムパターンを挿入して作成した複数のパケットが記憶される。

【0017】

前記送信メモリ 3 に記憶された、ペイロード部に擬似ランダムパターンが挿入された PPP フレーム及び IP パケットは、メモリ送出処理部 5 を介して、前記アイドル送出処理部 4 の出力と共に、SDH 送信部 6 から SDH 回線に送信される。

【 0 0 1 8 】

この発明のパケットの送出では、擬似ランダムパターンを作成するソフトウェア処理により、一次メモリ 2 に PN パターンを完結させたデータを作成する。

このデータは、メモリから繰り返し送出することによって、PN パターンの連続性が確保される。

【 0 0 1 9 】

この発明では、32 周分の擬似ランダムパターンを用いられる。その理由は以下の条件から得られる。

- ・擬似ランダムパターンは $2^n - 1$ ビットで構成される。（ n は勧告で決まっており、例えば、9, 15, 23 等がある。）
- ・PPPoVerSDH では、オクテット同期のデータ構成となるため、8 周分のビットを要する。
- ・IP パケットは 4 バイトバウンダリ構成をとるため、4 周分のビット数を要する。

【 0 0 2 0 】

次に本発明におけるパケットの作成の手順を説明する。

まず、CPU によるソフトウェア処理部 1 に対して、ヒューマンインタフェース (HMI) から擬似ランダムパターンの作成の指示に応じて、該ヒューマンインタフェース (HMI) から、

- ・フレームまたはパケットのヘッダ部のテンプレートが指示される。
- ・フレームまたはパケットのペイロード長が指示される。
- ・フレームまたはパケット間のアイドルデータバイト数（フラグ共有を含む）が指示される。

【 0 0 2 1 】

前記ヒューマンインタフェース (HMI) からの指示に応じて、前記一次メモ

リ 2 に記憶された擬似ランダムパターンを所定の長さずつペイロードとして、I P パケットヘッダ及び F C S 計算を行ってパケットとして送信メモリ 3 に記憶する処理を繰り返して実行される。

その結果、送信メモリ 3 に記憶されるデータは、図 4 に記載の如く作成される。

【 0 0 2 2 】

図 4 は、本発明で作成された送信メモリ 3 に記憶されるデータであって、基本的には、I P ヘッダ部①、擬似ランダムパターンが挿入された I P ペイロード部② 及びアイドル部③の繰り返しからなっている。

【 0 0 2 3 】

次に、I P ペイロード部に対する、擬似ランダムパターンの挿入の手順を説明する。

図 4 における①は、ヒューマンインタフェース (HMI) から指示されたフレームまたはパケットのヘッダ部のテンプレートである。

【 0 0 2 4 】

図 4 における②-1 は、ヒューマンインタフェース (HMI) から指示されたペイロード長の擬似ランダムパターンである。(この擬似ランダムパターンは、一次メモリ 2 から指示されたペイロード長ずつ順次読み出される。)

【 0 0 2 5 】

図 4 における③は、ヒューマンインタフェース (HMI) から指示されたフレームまたはパケット間のアイドルデータバイト数 (フラグ共有を含む) 分のアイドルビットである。

【 0 0 2 6 】

図 4 の③の次の①は最初の①と同じで、ヒューマンインタフェース (HMI) から指示されたフレームまたはパケットのヘッダ部のテンプレートである。

また、図 4 の②-2 は、②-1 と同じで、ヒューマンインタフェース (HMI) から指示されたペイロード長の擬似ランダムパターンで、この擬似ランダムパターンは、一次メモリ 2 から指示された②-1 に続いて読み出された部分である。

【 0 0 2 7 】

この処理を繰り返して、図 4 における②-最後は、ヒューマンインタフェース (HMI) から指示されたペイロード長の擬似ランダムパターンの割り切れなかった場合の余りの部分である。

したがって、上記②-1, ②-2 ②-最後の関係は、
②-1 + ②-2 + + ②-最後 = 3 2 周分の擬似ランダムパターン (bit) になる。

【 0 0 2 8 】

次に、前記送信メモリ 3 に記憶された、図 4 に示す如きデータを SDH 回線に送信する SDH 送信部 6 の手順を、図 5 を用いて説明する。

先ず、ヒューマンインタフェース (HMI) から、フレームまたはパケット全体の送出割合 (SONET / SDH ペイロードの全ビットを 1 0 0 % とした場合のフレームまたはパケット全体が占める割合) が指示される。

【 0 0 2 9 】

次に、図 4 で示す如き、送信メモリ 3 に記憶されているフレームまたはパケット間のアイドルデータバイト数 (フラグ共有を含む) の総数と、ヒューマンインタフェース (HMI) より指示された、フレームまたはパケット全体の送出割合により、送信メモリ間に何バイトのアイドルデータバイト数を送出すればよいかを、前記挿入アイドルバイト数計算部 1 - 3 で計算して、前記アイドル送出処理部 4 を介して SDH 送信部 6 に出力する。

【 0 0 3 0 】

SDH 送信部 6 では、前記送信メモリ 3 からの読み出したデータを送信する度に、前記アイドル送出処理部 1 - 3 で計算したアイドルバイトを、続けて SDH 回線に送信する。

この処理が繰り返されることにより、ヒューマンインタフェース (HMI) で指定した送信レートで擬似ランダムパターンをペイロードに含むパケットが SDH 回線に送出される。

【 0 0 3 1 】

なお、上記説明では、IP パケットにおけるペイロード部分に擬似ランダムパ

ターンを挿入するものとして説明を行ったが、PPPフレームを構成するIPパケット全体をペイロードとして扱って、その部分に擬似ランダムパターンを挿入することも可能である。

【0032】

また、擬似ランダムパターンの送信に際して、予め所定のエラーを擬似ランダムパターン中に設定しておくことによって、受信側で設定されたエラーが検出できるか否かの測定を行うことも可能である。

【0033】

【発明の効果】

請求項1に記載の発明では、ソフトウェア処理手段（CPUによるソフトウェア処理部）1と、擬似ランダムパターンを記憶する擬似ランダムパターン記憶手段（一次メモリ）2と、デジタル信号の連続したフレームのペイロード部に、前記擬似ランダムパターンを順次挿入して構成した複数のパケットを記憶する送信メモリ3と、指定された前記デジタル信号の送信レートに応じて計算された挿入アイドルバイトを計算するアイドル送出処理部4と、デジタル回線7に対して、前記送信メモリからの複数のパケットの送信と、前記アイドル送出部からのアイドルバイトとの送信を交互に実行する送信制御手段（SDH送信部）6とで、擬似ランダムパターン送信装置を構成することにより、

ハードウェアによる擬似ランダム発生回路を使用せず、ソフトウェア処理により擬似ランダムパターンをPPPフレームまたはIPパケットのペイロード部に挿入して送信できる。

【0034】

また、請求項2に記載の発明では、前記デジタル信号を、IPパケットとすることによって、IPパケットのペイロード部に擬似ランダムパターンを挿入してデジタル回線に送信することができる。

また、請求項3に貴紙娃の発明では、前記デジタル信号を、PPPフレームとすることによって、PPPフレームのペイロード部に擬似ランダムパターンを挿入してデジタル回線に送信することができる。

また、請求項4に記載の発明では、前記デジタル信号を、PPPフレームとし

た際に、PPPフレームに含まれるIPパケット全体をペイロード部として扱い、該IPパケット部に擬似ランダムパターンを挿入してデジタル回線に送信することもできる。

【0035】

また、請求項5に記載の発明では、前記デジタル回線は、SDH回線（SONET／SDH網におけるPPPoV SONET／SDH（略称POS）のPPPフレームおよびIPパケット）とすることもできる。

【0036】

また、請求項6に記載の発明では、前記擬似ランダムパターン中に予めエラーの設定が可能な構成とすることにより、予め設定されたエラーをペイロード部に挿入した信号を送信することによって、受信側で、当該エラーの検出の有無を検査することもできる。

【0037】

また、請求項7に記載の発明では、前記擬似ランダムパターン記憶手段に記憶される、擬似ランダムパターンが、 $2^n - 1$ ビットで構成されるデータであって、任意に変更可能な構成とすることによって、 n として例えば9、15、23等のものを用いることができ、擬似ランダムパターンの加工をハードウェアの追加なしにできる。

【図面の簡単な説明】

【図1】

SONET／SDHフレームの構成とPPPフレームの関係を示す図である。

【図2】

PPPフレームとIPパケットの構成を示す図である。

【図3】

本発明の構成を示す図である。

【図4】

送信メモリに記憶されるデータパターンを示す図である。

【図5】

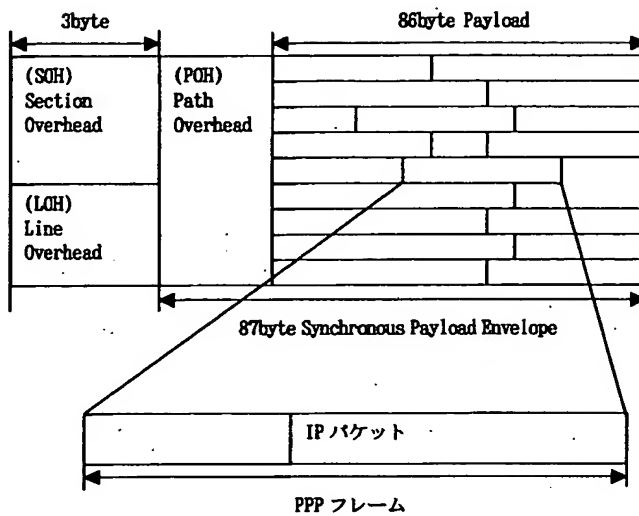
SDH送信部からSDH回線に送出されるデータのタイミングを示す図である

特 2 0 0 1 - 0 4 4 6 6 0

【書類名】 図面

【図 1】

SONET/SDHフレームとPPPフレームの関係



【圖 2】

PPPフレームとIPパケットの構成

(a) PPPフレーム

フラグ 7E	アドレス FF	コントロール 03	プロトコル 0021	PPPヘッダ	FCS CRC-32/16	フラグ 7E
1byte	1byte	1byte	2byte	0-1500byte	2byte	1byte

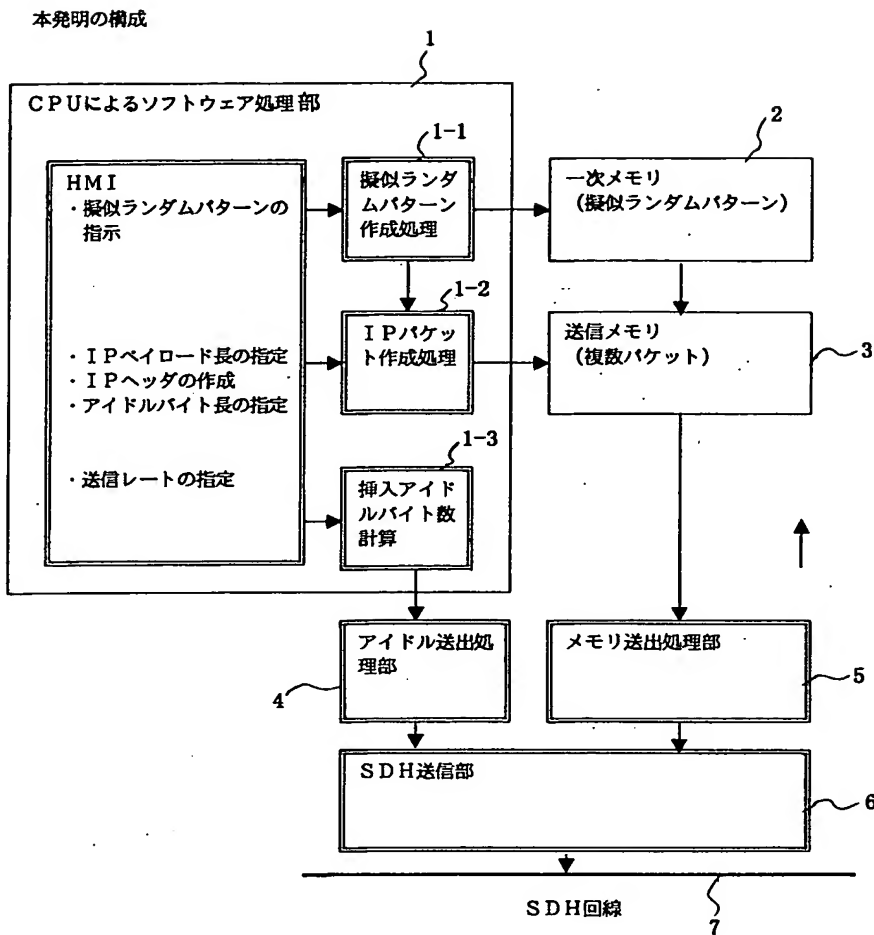
最大 1508 バイト

(b) IPパケット

0				8				16				24				31			
Ver=4		HLEN		Type of Service				Total Length											
Identification								Frag				Frgmentation Offset							
Source Address																			
Destination Address																			
Option(可變長)																			
Payload(可變長)																			

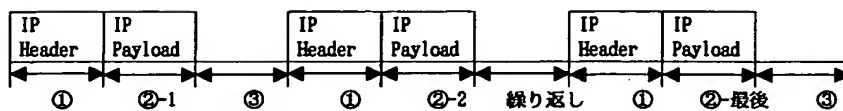
Ver:	バージョン番号
HLEN:	ヘッダ長(32bit 単位)
Type of Service:	サービス種類
Total Length:	全体長(バイト単位)
Identification:	パケット識別子
Frgs:	フラグメント制御用
Fragment Offset:	フラグメントオフセット

【図 3】



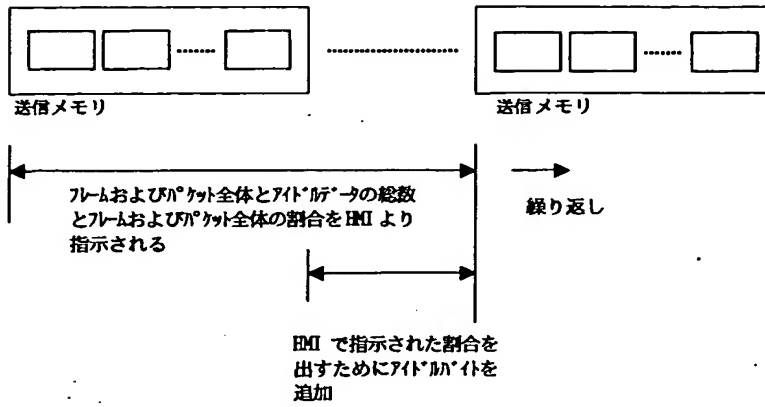
【図 4】

送出メモリに記憶されるデータパターン



【図 5】

送信メモリからの送信タイミング



【書類名】 要約書

【要約】

【課題】 ハードウェアによる擬似ランダム発生回路を使用せず、ソフトウェア処理により擬似ランダムパターンをPPPフレームまたはIPパケットのペイロード部に挿入して送信できる擬似ランダムパターン送信装置を提供する。

【解決手段】 ソフトウェア処理手段1と、擬似ランダムパターンを記憶する記憶手段2と、デジタル信号の連続したフレームのペイロード部に、前記擬似ランダムパターンを順次挿入して構成した複数のパケットを記憶する送信メモリ3と、指定された前記デジタル信号の送信レートに応じて計算された挿入アイドルバイトを計算するアイドル送出処理部4と、デジタル回線7に対して、前記送信メモリからの複数のパケットの送信と、前記アイドル送出部からのアイドルバイトとの送信を交互に実行する送信制御手段6と、を有することを特徴とする擬似ランダムパターン送信装置。

【選択図】 図3

認定・付加情報

特許出願の番号	特願 2001-044660
受付番号	50100239829
書類名	特許願
担当官	第八担当上席 0097
作成日	平成13年 3月12日

<認定情報・付加情報>

【提出日】	平成13年 2月21日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000117744]

1. 変更年月日 1990年 8月10日
[変更理由] 新規登録
住 所 東京都大田区蒲田4丁目19番7号
氏 名 安藤電気株式会社
2. 変更年月日 2001年 4月13日
[変更理由] 住所変更
住 所 東京都大田区蒲田五丁目29番3号
氏 名 安藤電気株式会社